



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086404
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

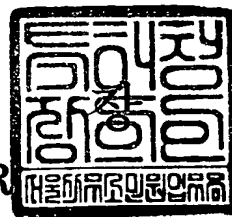
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0082		
【제출일자】	2002.12.30		
【발명의 명칭】	반도체 소자의 극 미세 트랜지스터 제작방법		
【발명의 영문명칭】	METHOD FOR MAKING DEEP DETAIL TRANSISTOR IN SEMICONDUCTOR		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-059722-7		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-059725-9		
【발명자】			
【성명의 국문표기】	박철수		
【성명의 영문표기】	PARK, Cheol Soo		
【주민등록번호】	610313-1637911		
【우편번호】	467-020		
【주소】	경기도 이천시 관고동 223-14		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	11	면	29,000 원
【가산출원료】	0	면	0 원



1020020086404

출력 일자: 2003/12/23

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명은 반도체 소자의 극 미세 트랜지스터 제작방법에 관한 것으로, 실리콘 기판에 에스티아이(shallow trench isolation, STI)를 형성하고, 형성된 STI상부에 패드(Pad) 산화막, 패드 질화막, 제1 산화막을 순차적으로 적층하는 단계; 제1 산화막 상에 게이트(Gate) 전극용 감광막을 패터닝(patterning)하고, 제1 산화막 및 패드 질화막을 순차적으로 건식 식각(dry etch)을 수행하는 단계; 게이트 전극용 감광막을 제거하고, 크리닝(cleaning)한 후에 소정의 도펀트 폴리 실리콘(doped poly silicon)을 증착하고 식각 백(etch back)하여 측벽에 사이드 월 도펀트 폴리 실리콘이 남도록 하는 단계; 남아있는 패드 산화막을 프리 크리닝(pre-cleaning)으로 제거하고, 게이트 절연막을 형성하고, 형성된 게이트 절연막 상부에 CVD TiN을 증착하며, 증착된 CVD TiN 상부에 텅스텐(W)을 증착한 후, CMP 평탄화를 수행하여 게이트 전극을 완료하는 단계; 제1 산화막을 습식 식각 방식으로 제거하고, 소스, 드레인 임플란테이션한 후, 평탄화 절연막을 적층하고, CMP 평탄화시켜 게이트 플러그, 소스 플러그, 드레인 플러그를 형성하는 단계를 포함한다. 따라서, 나노 기술(nano technology)을 실현할 수 있으며, 로컬 채널 영역을 게이트 전극 하부에 형성하여 SCE를 개선시키며, 게이트 길이(gate length)를 리소그래피 기술에서 벗어나 조절 가능하다는 효과가 있다.

【대표도】

도 1d

**【명세서】****【발명의 명칭】**

반도체 소자의 극 미세 트랜지스터 제작방법 {METHOD FOR MAKING DEEP DETAIL TRANSISTOR IN SEMICONDUCTOR}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 극 미세 트랜지스터 제작을 위한 공정과정을 도시한 단면 도면이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 실리콘 기판	20 : 에스티아이
30 : 패드(Pad) 산화막	40 : 패드 질화막
50 : 제1 산화막	60 : 게이트(Gate) 전극용 감광막
70 : 도핑된 폴리 실리콘	80 : 게이트 절연막
90 : CVD TiN 또는 TaN	100 : 텅스텐
110 : 평탄화 절연막	120a : 게이트 플러그
120b : 소스 플러그	120c : 드레인 플러그

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자의 극 미세 트랜지스터 제작방법에 관한 것으로, 특히 극 자외선(Deep Ultra Violet, DUV)에서의 $0.10\mu\text{m}$ 이하의 극 미세 트랜지스터를 제작하도록 하는 방법에 관한 것이다.
- <11> 통상적으로, 광원은 반도체 웨이퍼에 회로 패턴을 노광(리소그래피)시킬 때 쓰이는 핵심 기술로, 광원에 따라 반도체 소자부터 장비/재료에 이르기까지 개발/투자 방향이 달라지기 때문에 업계의 중요한 관심사가 되어왔다.
- <12> 현재 가장 널리 쓰이는 불화크립톤(KrF) 광원은 당초 0.15미크론 공정에 적용될 것으로 예상됐으나 광학과 감광제(포토 레지스트) 기술 발전으로 $0.13\mu\text{m}$ 공정까지 적용되고 있다.
- <13> 불화크립톤 광원으로 100nm까지 적용이 가능하지만, $0.10\mu\text{m}$ 이하의 차세대 공정 과정에서는 극 미세 트랜지스터를 제작해야 할 필요성이 있다.

【발명이 이루고자 하는 기술적 과제】

- <14> 따라서, 본 발명은 상술한 필요성에 의해 안출된 것으로서, 그 목적은 극 자외선(Deep Ultra Violet, DUV)에서의 $0.10\mu\text{m}$ 이하의 극 미세 트랜지스터를 제작하도록 하는 반도체 소자의 극 미세 트랜지스터 제작방법을 제공함에 있다.
- <15> 상술한 목적을 달성하기 위한 본 발명에서 반도체 소자의 극 미세 트랜지스터 제작방법은 실리콘 기판에 에스티아이(shallow trench isolation, STI)를 형성하고, 형성된 STI상부에 패드(Pad) 산화막, 패드 질화막, 제1 산화막을 순차적으로 적층하는 단계; 제1 산화막 상에 게

이트(Gate) 전극용 감광막을 패터닝(patterning)하고, 제1 산화막 및 패드 질화막을 순차적으로 건식 식각(dry etch)을 수행하는 단계; 게이트 전극용 감광막을 제거하고, 클리닝(cleaning)한 후에 소정의 도핑도 폴리 실리콘(doped poly silicon)을 증착하고 식각 백(etch back)하여 측벽에 사이드 월 도핑도 폴리 실리콘이 남도록 하는 단계; 남아있는 패드 산화막을 프리 클리닝(pre-cleaning)으로 제거하고, 게이트 절연막을 형성하고, 형성된 게이트 절연막 상부에 CVD TiN을 증착하며, 증착된 CVD TiN 상부에 텅스텐(W)을 증착한 후, CMP 평탄화를 수행하여 게이트 전극을 완료하는 단계; 제1 산화막을 습식 식각 방식으로 제거하고, 소스, 드레인 임플란테이션한 후, 평탄화 절연막을 적층하고, CMP 평탄화시켜 게이트 플러그, 소스 플러그, 드레인 플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 일 실시 예를 상세하게 설명하기로 한다.
- <17> 도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 극 미세 트랜지스터 제작을 위한 공정과정을 도시한 단면도이다.
- <18> 즉, 도 1a를 참조하면, 실리콘 기판(10)에 에스티아이(shallow trench isolation, STI)(20)를 형성하고, 형성된 STI(20)상부에 패드(Pad) 산화막(30), 패드 질화막(40), 제1 산화막(50)을 순차적으로 적층한다. 여기서, 제1 산화막(50)의 두께는 게이트 전극 두께만큼 적층되어야 한다.
- <19> 이후, 도 1b를 참조하면, 제1 산화막(50) 상에 게이트(Gate) 전극용 감광막(60)을 패터닝(patterning)하고, 제1 산화막(50), 패드 질화막(40)을 순차적으로 건식 식각(dry etch)을 수행한다. 여기서, 식각한 후의 패드 산화막(30)은 최소 50Å 이상 남아야 한다.



- <20> 이후, 도 1c를 참조하면, 건식 식각을 수행한 상태에서, 게이트 전극용 감광막(60)을 제거하고, 크리닝(cleaning)을 한 후에 소정의 도핑드 폴리 실리콘(doped poly silicon)(70)을 증착하고 식각 백(etch back)하여 측벽에 사이드 월 도핑드 폴리 실리콘(side wall doped poly silicon)(70)이 남도록 한다.
- <21> 다음으로, 남아있는 패드 산화막(30)을 게이트 절연막(80) 이전의 프리 크리닝(pre-cleaning)으로 제거하고, 게이트 절연막(80)을 형성하고, 형성된 게이트 절연막(80) 상부에 CVD TiN 또는 TaN(90)을 증착하며, 증착된 TiN 또는 TaN(90) 상부에 텅스텐(W)(100)을 두껍게 증착한 후, CMP 평탄화를 수행하여 게이트 전극을 완료한다.
- <22> 여기서, 게이트 절연막(80)이 성장하기 전에 게이트 전극 하부에 로컬 채널 아이언 임플란테이션(local channel Ion Implantation)은 소스, 드레인 영역을 살리시데이션(salicidation) 할 경우와 LDD를 할 경우에만 진행한다.
- <23> 그리고, 측벽에 있는 도핑드 폴리 실리콘(doped poly silicon)(70)은 LDD 임플란테이션을 하지 않으면서 그 역할을 수행한다. 즉, 게이트 전극에 전원이 인가되면, 도핑드 폴리 실리콘(70) 하부의 패드 산화막(30) 두께는 게이트 절연막 보다 두꺼워서 이 두께를 제거함으로써, 도핑 역할을 수행하게 된다.
- <24> 도 1d를 참조하면, 제1 산화막(50)을 습식 또는 건식 식각 방식으로 제거하고, 소스, 드레인 임플란테이션한 후, 평탄화 절연막(110)을 두껍게 적층하고, CMP 평탄화시켜 게이트 플러그(120a), 소스 플러그(120b), 드레인 플러그(120c)를 형성한다.



<25> 이에 따라, 나노 기술(nano technology)을 실현할 수 있으며, 로컬 채널 영역을 게이트 전극 하부에 형성하여 SCE를 개선시키며, 게이트 길이(gate length)를 리소그래피 기술에서 벗어나 조절 가능하다.

【발명의 효과】

<26> 그러므로, 본 발명은 극 자외선(DUV)에서의 $0.10\mu\text{m}$ 이하의 극 미세 트랜지스터를 제작함으로써, 나노 기술(nano technology)을 실현할 수 있으며, 로컬 채널 영역을 게이트 전극 하부에 형성하여 SCE를 개선시키며, 게이트 길이(gate length)를 리소그래피 기술에서 벗어나 조절 가능하다는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 소자의 트랜지스터 제작방법에 있어서,

실리콘 기판에 에스티아이(shallow trench isolation, STI)를 형성하고, 상기 형성된 STI상부에 패드(Pad) 산화막, 패드 질화막, 제1 산화막을 순차적으로 적층하는 단계;

상기 제1 산화막 상에 게이트(Gate) 전극용 감광막을 패터닝(patterning)하고, 상기 제1 산화막 및 패드 질화막을 순차적으로 건식 식각(dry etch)을 수행하는 단계;

상기 게이트 전극용 감광막을 제거하고, 크리닝(cleaning)한 후에 소정의 도펀트 폴리 실리콘(doped poly silicon)을 증착하고 식각 백(etch back)하여 측벽에 사이드 월 도펀트 폴리 실리콘이 남도록 하는 단계;

상기 남아있는 패드 산화막을 프리 크리닝(pre-cleaning)으로 제거하고, 게이트 절연막을 형성하고, 상기 형성된 게이트 절연막 상부에 CVD TiN을 증착하며, 상기 증착된 CVD TiN 상부에 텅스텐(W)을 증착한 후, CMP 평탄화를 수행하여 게이트 전극을 완료하는 단계;

상기 제1 산화막을 습식 식각 방식으로 제거하고, 소스, 드레인 임플란테이션한 후, 평탄화 절연막을 적층하고, CMP 평탄화시켜 게이트 플러그, 소스 플러그, 드레인 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 극 미세 트랜지스터 제작방법.

【청구항 2】

제 1 항에 있어서,

상기 식각된 패드 산화막은 최소 50Å 이상 남아야 하는 것을 특징으로 하는 반도체 소자의 극 미세 트랜지스터 제작방법.

【청구항 3】

제 1 항에 있어서,

상기 게이트 절연막이 성장하기 전에 게이트 전극 하부에 로컬 채널 아이언 임플란테이션(local channel Ion Implantation)은 소스, 드레인 영역을 살리시데이션(salicidation) 할 경우와 LDD를 할 경우에만 진행하는 것을 특징으로 하는 반도체 소자의 극 미세 트랜지스터 제작방법.

【청구항 4】

제 1 항에 있어서,

상기 측벽에 있는 도핑드 폴리 실리콘(doped poly silicon)은 LDD 임플란테이션을 하지 않으면서 역할을 수행하는 것을 특징으로 하는 반도체 소자의 극 미세 트랜지스터 제작방법.

【청구항 5】

제 1 항에 있어서,

상기 형성된 게이트 절연막 상부에 TaN을 증착하며, 상기 증착된 TaN 상부에 텅스텐(W) 증착 및 CMP 평탄화를 수행하여 게이트 전극을 완료하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 극 미세 트랜지스터 제작방법.

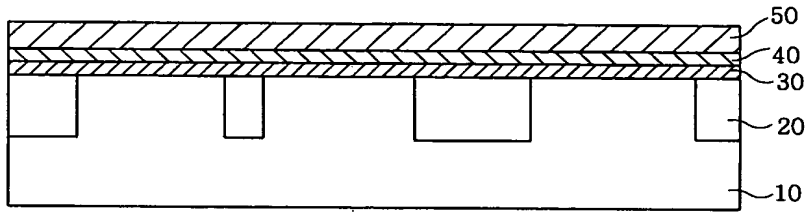
【청구항 6】

제 1 항에 있어서,

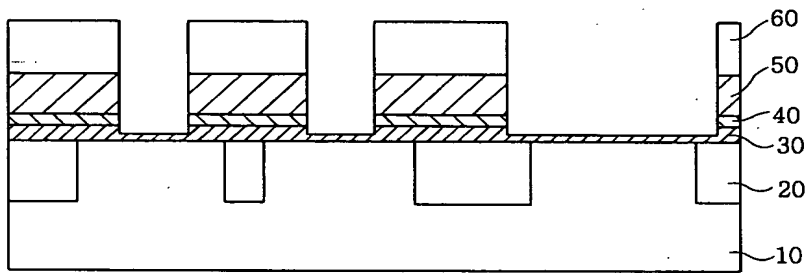
상기 제1 산화막을 건식 식각 방식으로 제거하고, 소스, 드레인 임플란테이션을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 극 미세 트랜지스터 제작방법.

【도면】

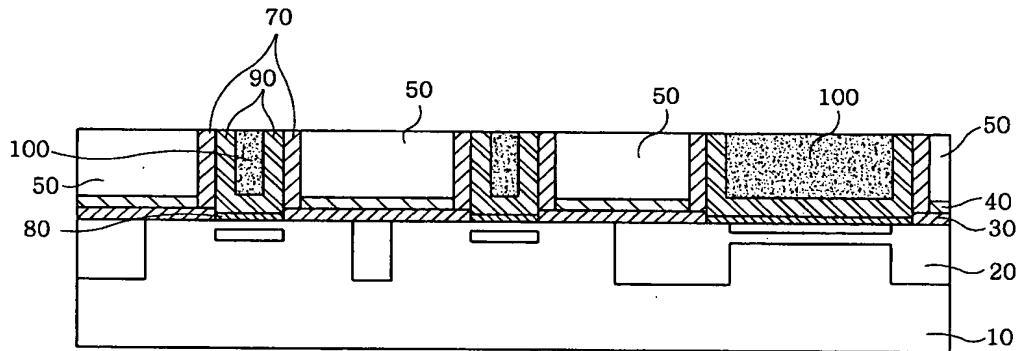
【도 1a】



【도 1b】



【도 1c】



【도 1d】

